



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0050836
Application Number

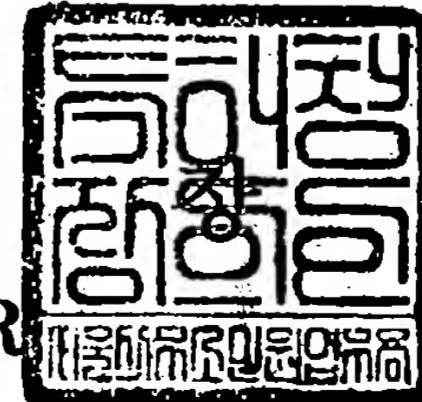
출 원 년 월 일 : 2002년 08월 27일
Date of Application AUG 27, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 03 20
년 월 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.08.27
【국제특허분류】	H01L
【발명의 명칭】	퓨즈 뱅크의 크기를 줄이기 위한 반도체 메모리 장치의 퓨즈 뱅크
【발명의 영문명칭】	Layout structure of fuse bank of semiconductor memory device for reducing the size of fuse bank
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	서은성
【성명의 영문표기】	SEO,Eun Sung
【주민등록번호】	710906-1058013
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 13-3 미씨 오피스텔 1714
【국적】	KR
【발명자】	
【성명의 국문표기】	장현순
【성명의 영문표기】	JANG,Hyun Soon
【주민등록번호】	630731-1489216

1020020050836

출력 일자: 2003/3/26

【우편번호】	137-069		
【주소】	서울특별시 서초구 방배본동 궁전아파트 C동 403호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	587,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

퓨즈 뱅크의 크기를 줄이기 위한 반도체 메모리 장치의 퓨즈 뱅크가 개시된다. 본 발명에 따른 반도체 메모리 장치의 퓨즈 뱅크는 제 1방향으로 배치되는 제 1레이저 퓨징 영역을 구비하고 제 2방향으로 구부러진 제 1연결선 영역 및 제 3방향으로 구부러진 제 2연결선 영역을 구비하는 제 1레이저 퓨즈; 및, 상기 제 1방향으로 배치되는 제 2레이저 퓨징 영역을 구비하고 상기 제 2방향으로 구부러진 제 3연결선 영역 및 상기 제 3방향으로 구부러진 제 4연결선 영역을 구비하는 제 2레이저 퓨즈를 구비하고, 상기 제 2레이저 퓨즈는 상기 제 1레이저 퓨즈와 소정의 간격을 두고 인접하여 배치되고, 상기 제 1레이저 퓨징 영역과 상기 제 2레이저 퓨징 영역은 상기 퓨즈 뱅크의 레이저 퓨징 영역을 형성하고, 상기 제 1레이저 퓨즈 및 상기 제 2레이저 퓨즈는 평면적으로 배치되는 것을 특징으로 하며, 상기 레이저 퓨징 영역은 평행사변형의 형태로 이루어진 것을 특징으로 한다. 본 발명에 따르면, 퓨즈 뱅크를 하나의 레이어에 의하여 구현할 수 있고 아울러 퓨즈 뱅크의 크기를 작게 함으로써, 반도체 메모리 장치의 집적도를 향상시킬 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

퓨즈 뱅크의 크기를 줄이기 위한 반도체 메모리 장치의 퓨즈 뱅크{Layout structure of fuse bank of semiconductor memory device for reducing the size of fuse bank}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 1예이다.

도 2는 종래의 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 2예이다.

도 3은 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 1실시예이다.

도 4는 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 2실시예이다.

도 5는 종래의 퓨즈 뱅크의 레이아웃 구조와 본 발명에 따른 퓨즈 뱅크의 레이아웃 구조의 측면 크기(lateral size)를 비교한 표이다.

도 6는 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 3실시예이다.

도 7은 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 4실시예이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 퓨즈 크기를 줄이기 위한 반도체 메모리 장치의 퓨즈 뱅크의 구조에 관한 것이다.

<10> 반도체 메모리 장치는 그 제조가 완료된 이후에 제대로 작동하는지를 판별하기 위하여 여러 가지 테스트 파라미터(parameter)들을 이용하여 여러 가지 방법들로 테스트된다. 이러한 테스트에서 제어회로들 중 하나가 불량인 반도체 메모리 장치는 폐기처분되지만, 메모리 셀(memory cell)들 중 일부가 불량인 반도체 메모리 장치는 리던던시 메모리 셀(redundancy memory cell)로 대체되어 정상적으로 사용할 수 있다. 퓨즈는 이러한 리던던시 메모리 셀로 대체하는 스킴을 가지는 반도체 메모리 장치에 널리 사용된다.

<11> 만일 불량인 메모리 셀이 있을 경우 상기 불량 메모리 셀에 접속된 퓨즈는 개방되고 퓨즈가 개방되었다는 정보에 의하여 리던던시 메모리 셀을 구동시켜서 불량인 메모리 셀을 상기 리던던시 메모리 셀로 대체할 수 있다. 반도체 메모리 장치에서는 다수의 퓨즈들을 구비하는 퓨즈 뱅크가 칩에 내장되어 메모리 장치의 일부가 된다.

<12> 반도체 메모리 장치에서, 퓨즈의 크기는 다른 소자들의 크기와 마찬가지로 작아지는 경향이 있다. 그러나, 그 작아지는 정도는 다른 소자들이 작아지는 정도에 비하여 적다. 그렇기 때문에, 퓨즈 뱅크의 크기는 반도체 메모리 장치를 개발하는 데 있어서의 제약으로 작용할 수 있다.

<13> 도 1은 종래의 퓨즈 뱅크(100)의 레이아웃(layout) 구조를 나타내는 제 1예이다.

도 1에 도시된 퓨즈 뱅크(100)는 다수의 퓨즈들(110, 120, 130, 140)을 구비한다. 도 1에 도시된 바와 같이, 퓨즈 뱅크(100)는 다수의 퓨즈들(110, 120, 130, 140)이 각각 같은 방향으로 평행하게 배열되어 있는 구조이다.

<14> 도 1의 퓨즈 뱅크(100)에서, n개의 퓨즈가 사용된 경우 퓨즈 뱅크(100)의 측면 크기(lateral size)는 $n \times$ 피치크기(PF)가 된다. 여기에서, 피치크기(PF)라는 변수는 세대별 최소 규격(minimum feature size)보다는 퓨즈의 장비에 좌우되는 변수로서, 세대별 최소 규격이 작아지는 것보다 줄어들지 않는다. 따라서 퓨즈의 크기는 다른 요소들의 레이아웃에 영향을 미칠 수 있다.

<15> 이러한 문제점을 해결하기 위하여 다른 형태의 퓨즈 뱅크의 레이아웃을 생각해볼 수 있다. 도 2는 종래의 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 2예이다. 도 2에 도시된 퓨즈 뱅크의 레이아웃은 특허번호가 US 6,215,715인 미국의 등록특허의 일부분이다.

<16> 도 2에 도시된 퓨즈 뱅크(200)는 다수의 퓨즈들(210, 220, 230, 240)을 구비한다. 도 2에 도시된 퓨즈 뱅크(200)의 레이아웃은, 몇 개의 퓨즈들을 그룹핑(grouping)하여 세로 방향으로 쌓아서 하나의 퓨즈 뱅크로 만드는 방법에 의한다.

<17> 도 2에 도시된 퓨즈 뱅크(200)에서, n개의 퓨즈가 사용된 경우 퓨즈 뱅크(200)의 측면 크기(lateral size)는 [수학식 1]과 같이 주어진다.

<18> [수학식 1]

<19> Lateral Size = $(1.5n-2) \times PL + 2WL + LF$



<20> 여기에서, 도 2에 도시된 바와 같이, PL(Pitch Size of the connecting line)은 연결선의 피치 크기를 의미하고, WL(Width of connecting line)은 연결선의 폭을, 그리고 LF(Length of fuse region)은 레이저 퓨징 영역의 길이를 의미한다.

<21> [수학식 1]에서 알 수 있는 바와 같이, 측면 크기(lateral size)는 퓨즈의 피치 크기(PF)에 무관하게 되며, 도 2에 도시된 퓨즈 뱅크(200)의 레이아웃에 의하면 퓨즈 뱅크의 측면 크기를 종전의 방식에 비하여 줄일 수 있게 된다.

<22> 그러나, 도 2에서 도시된 퓨즈 뱅크(200)의 레이아웃은 하나의 레이어(layer)로 구현할 수 없고, 퓨즈들 간의 겹치는 부분이 존재하기 때문에 두 개의 레이어가 필요하다는 문제점이 있다.

<23> 따라서 퓨즈 뱅크의 크기를 줄이고 하나의 레이어(layer)에 의하여 레이아웃을 구현할 수 있는 퓨즈 뱅크의 레이아웃이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서 본 발명이 이루고자 하는 기술적 과제는, 퓨즈 뱅크의 크기를 줄이고 하나의 레이어에 의하여 레이아웃을 구현할 수 있는 퓨즈 뱅크의 레이아웃을 제공하는 데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 반도체 메모리 장치의 퓨즈 뱅크에 관한 것이다. 본 발명에 따른 다수의 레이저 퓨즈를 구비하는 퓨즈 뱅크는 제 1 방향으로 배치되는 제 1레이저 퓨징 영역을 구비하고 제 2방향으로 구부러진 제 1연결선 영역 및 제 3방향으로 구부러진 제 2연결선 영역을 구비하는 제 1레이저 퓨즈; 및, 상기



1020020050836

출력 일자: 2003/3/26

제 1방향으로 배치되는 제 2레이저 퓨징 영역을 구비하고 상기 제 2방향으로 구부러진 제 3연결선 영역 및 상기 제 3방향으로 구부러진 제 4연결선 영역을 구비하는 제 2레이저 퓨즈를 구비하고, 상기 제 2레이저 퓨즈는 상기 제 1레이저 퓨즈와 소정의 간격을 두고 인접하여 배치되고, 상기 제 1레이저 퓨징 영역과 상기 제 2레이저 퓨징 영역은 상기 퓨즈 뱅크의 레이저 퓨징 영역을 형성하고, 상기 제 1레이저 퓨즈 및 상기 제 2레이저 퓨즈는 평면적으로 배치되는 것을 특징으로 한다.

<26> 바람직하게는, 상기 레이저 퓨징 영역은 평행사변형의 형태로 이루어진 것을 특징으로 한다.

<27> 또한 바람직하게는, 상기 제 1방향 및 상기 제 2방향은 수직이고, 상기 제 1방향 및 상기 제 3방향은 수직인 것을 특징으로 하며, 더욱이 바람직하게는 상기 제 2방향 및 상기 제 3방향은 서로 반대 방향인 것을 특징으로 한다.

<28> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면도 반도체 메모리 장치의 퓨즈 뱅크에 관한 것이다. 본 발명에 따른 반도체 메모리 장치의 퓨즈 뱅크는 소정의 간격을 두고 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 1레이저 퓨즈 그룹; 및, 소정의 간격을 두고 상기 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 2레이저 퓨즈 그룹을 구비하고, 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 각각 상기 제 1방향으로 배열된 레이저 퓨징 영역을 구비하고, 제 2방향으로 구부러진 1연결선 영역 및 제 3방향으로 구부러진 제 2연결선 영역을 구비하며, 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 인접하여 평면적으로 배치되는 것을 특징으로 한다.



1020020050836

출력 일자: 2003/3/26

<29> 바람직하게는, 상기 레이저 퓨징 영역은 평행사변형의 형태로 이루어진 것을 특징으로 한다.

<30> 또한 바람직하게는, 상기 제 1방향과 상기 제 2방향은 수직이고, 상기 제 1방향과 상기 제 3방향은 수직인 것을 특징으로 하며, 더욱이 바람직하게는 상기 제 2방향과 상기 제 3방향은 서로 반대방향인 것을 특징으로 한다.

<31> 또한 바람직하게는, 상기 레이저 퓨즈 뱅크 내에서 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹이 서로 반복적으로 배치되는 것을 특징으로 한다.

<32> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면도 반도체 메모리 장치의 퓨즈 뱅크에 관한 것이다. 본 발명에 따른 반도체 메모리 장치의 퓨즈 뱅크는 소정의 간격을 두고 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 1레이저 퓨즈 그룹; 및, 소정의 간격을 두고 상기 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 2레이저 퓨즈 그룹을 구비하고, 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 상기 제 1방향으로 배열된 레이저 퓨징 영역을 구비하고 제 2방향으로 구부러진 1연결선 영역 및 제 3방향으로 구부러진 제 2연결선 영역을 구비하며, 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 인접하여 배치되고, 상기 제 2레이저 퓨즈 그룹은 상기 제 1레이저 퓨즈 그룹과 상기 제 1방향의 수직방향으로 대칭적으로 배치되며, 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 평면적으로 배치되는 것을 특징으로 한다.

<33> 바람직하게는, 상기 레이저 퓨징 영역은 평행사변형의 형태로 이루어진 것을 특징으로 한다.

<34> 또한 바람직하게는, 상기 제 1방향과 상기 제 2방향은 수직이고, 상기 제 1방향과 상기 제 3방향은 수직인 것을 특징으로 하며, 더욱이 바람직하게는 상기 제 2방향과 상기 제 3방향은 서로 반대방향인 것을 특징으로 한다.

<35> 또한 바람직하게는, 상기 레이저 퓨즈 뱅크 내에서 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹이 서로 반복적으로 배치되는 것을 특징으로 한다.

<36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<37> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<38> 도 3은 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 1실시예이다. 도 3에 도시된 퓨즈 뱅크(300)는 제 1레이저 퓨즈(310) 및 제 2레이저 퓨즈(320)를 구비한다.

<39> 제 1레이저 퓨즈(310)는 제 1레이저 퓨징 영역(311) 및 제 1연결선 영역(312), 그리고 제 2연결선 영역(313)을 구비한다. 제 1레이저 퓨징 영역(311)은 제 1방향(예컨대, 가로방향)으로 배치된다. 제 1연결선 영역(312)은 제 2방향(예컨대, 세로방향)으로 구부러지도록 배치되며, 제 2방향은 제 1방향과 수직방향인 것이 바람직하다. 제 2연결선 영역(313)은 제 3방향(세로방향)으로 구부러지도록 배치되며, 제 3방향은 제 1방향과 수직방향이고, 제 2방향과는 반대방향인 것이 바람직하다.



1020020050836

출력 일자: 2003/3/26

<40> 제 2레이저 퓨즈(320)는 제 2레이저 퓨징 영역(321) 및 제 3연결선 영역(332), 그리고 제 4연결선 영역(323)을 구비한다. 제 2레이저 퓨징 영역(321)은 제 1방향으로 배치된다. 제 3연결선 영역(322)은 제 2방향으로 구부러지도록 배치되며, 전술한 바와 같이 제 2방향은 제 1방향과 수직방향인 것이 바람직하다. 제 4연결선 영역(323)은 제 3방향으로 구부러지도록 배치되며, 역시 전술한 바와 같이 제 3방향은 제 1방향과 수직방향이고, 제 2방향과는 반대방향인 것이 바람직하다.

<41> 제 1레이저 퓨즈(310) 및 제 2레이저 퓨즈(320)는 소정의 간격(SL)을 두고 인접하여 배치되고, 제 1레이저 퓨징 영역(311)과 제 2레이저 퓨징 영역(321)은 퓨즈 뱅크(300)의 레이저 퓨징 영역(330)을 형성한다. 여기에서, 레이저 퓨징 영역(laser fusing area)이란 퓨징 프로그램에 따라서 레이저에 의하여 퓨징되는 영역을 말한다. 레이저 퓨징 영역(330)은 소정의 퓨징 프로그램에 따라서 발사되는 레이저 빔(laser beam)을 수신하여 소정의 레이저 퓨즈를 오프시킨다.

<42> 본 실시예에서는 레이저 퓨징 영역이 평행사변형의 형태로 이루어진 것을 특징으로 한다. 또한 제 1레이저 퓨즈(310) 및 제 2레이저 퓨즈(320)는 하나의 레이어(layer)로 구현할 수 있도록 평면적으로 배치되는 것을 특징으로 한다.

<43> 본 발명에 따른 퓨즈 뱅크(300)의 레이아웃은 레이저 퓨징 영역을 평행사변형의 구조를 가지게 되며, 이 때의 퓨즈 뱅크(300)의 측면 크기는 [수학식 2]로 표현될 수 있다.

<44> [수학식 2]

$$\text{Lateral Size} = (n-1) \times PL + 2WL + LF$$



<46> 즉, 레이저 퓨징 영역(330)이 평행사변형의 구조를 가지게 되면, 측면 크기가 연결선의 피치크기(PL)에 정비례하게 된다. 따라서 도 2에 도시된 종래기술 2와 비교할 때 하나의 뱅크가 구비하는 퓨즈의 개수가 많을수록 퓨즈 뱅크의 크기가 작게 된다.

<47> 도 4는 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 2실시예이다. 도 4에 도시된 퓨즈 뱅크(400)는 제 1레이저 퓨즈(310) 및 제 2레이저 퓨즈(320)를 구비한다.

<48> 도 4에 도시된 퓨즈 뱅크(400)는 도 3의 퓨즈 뱅크(300)와 유사하나, 레이저 퓨징 영역(430)이 직사각형의 형태로 구현되었다는 점에 있어서 도 3의 퓨즈 뱅크(300)와는 다르다. 레이저 퓨징 영역(430)이 직사각형의 형태로 구현되는 경우, 퓨즈 뱅크(400)를 도 2에 도시된 종래기술 2와 달리 하나의 레이어(layer)에 의하여 구현될 수 있는 장점이 있다.

<49> 이외의 부분은 도 3에서 설명한 것과 중복되므로 도 4에 도시된 퓨즈 뱅크(400)에 대한 설명은 생략하도록 한다.

<50> 도 5는 종래의 퓨즈 뱅크의 레이아웃 구조와 본 발명에 따른 퓨즈 뱅크의 레이아웃 구조의 측면 크기를 비교한 표이다. 도 5에서는 퓨즈 뱅크의 퓨즈의 개수가 2, 4, 6인 경우 각각 측면 크기를 비교하였다.

<51> 도 5에 제시된 조건에서, 퓨즈의 개수(n)가 6인 경우 종래기술 2에 따른 퓨즈 뱅크의 레이아웃의 측면 크기와 본 발명에 따른 퓨즈 뱅크의 레이아웃의 측면 크기를 비교하면, 본 발명에 따른 퓨즈 뱅크의 레이아웃에 의한 측면 크기가 종래기술 2의 경우보다 약 15.4% 작은 것을 알 수 있다.



<52> 도 6는 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 3실시예이다. 도 6에 도시된 퓨즈 뱅크(600)는 제 1레이저 퓨즈 그룹(610) 및 제 2레이저 퓨즈 그룹(620)을 구비한다.

<53> 제 1레이저 퓨즈 그룹(610)은 다수의 레이저 퓨즈들(611, 612, 613, 614)을 구비한다. 다수의 레이저 퓨즈들(611, 612, 613, 614)은 제 1방향(예컨대, 가로방향)으로 배열되고, 각각 레이저 퓨징 영역(615), 제 1연결선 영역(616), 제 2연결선 영역(617)을 구비한다.

<54> 레이저 퓨징 영역(615)은 제 1방향(예컨대, 가로방향)으로 배열되고, 제 1연결선 영역(616)은 제 2방향(예컨대, 세로방향)으로 배열되며, 제 2연결선 영역(617)은 제 3방향(예컨대, 세로방향)으로 배열된다. 제 1방향과 제 2방향, 제 1방향과 제 3방향은 수직이며, 제 2방향과 제 3방향은 서로 반대방향인 것이 바람직하다.

<55> 제 2레이저 퓨즈 그룹(620)은 다수의 레이저 퓨즈들(621, 622, 623, 624)을 구비하며, 제 2레이저 퓨즈 그룹의 배치는 제 1레이저 퓨즈 그룹(610)의 배치와 같으므로 자세한 설명은 생략한다.

<56> 또한 제 1레이저 퓨즈 그룹(610) 및 제 2레이저 퓨즈 그룹(620)은 서로 인접하여 평면적으로 배치된다. 이러한 퓨즈 박스(600)는 제 1레이저 퓨즈 그룹(610) 및 제 2레이저 퓨즈 그룹(620)을 반복적으로 배치함으로써 구현할 수 있다.

<57> 도 7은 본 발명의 바람직한 실시예에 따른 퓨즈 뱅크의 레이아웃 구조를 나타내는 제 4실시예이다. 도 7의 퓨즈 뱅크(700)는 제 1레이저 퓨즈 그룹(710) 및 제 2레이저 퓨즈 그룹(720)을 구비한다.



1020020050836

출력 일자: 2003/3/26

<58> 도 7의 퓨즈 뱅크(700)의 레이아웃은 도 6의 퓨즈 뱅크(600)의 레이아웃과 유사하나, 제 1레이저 퓨즈 그룹(710)과 제 2레이저 퓨즈 그룹(720)이 레이저 퓨징 영역의 제 1방향의 수직 방향으로 대칭되도록 배치되었다는 차이점이 있다.

<59> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한 정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<60> 상술한 바와 같이 본 발명에 따르면, 퓨즈 뱅크를 하나의 레이어에 의하여 구현할 수 있고 아울러 퓨즈 뱅크의 크기를 작게 함으로써, 반도체 메모리 장치의 집적도를 향상시킬 수 있다.



1020020050836

출력 일자: 2003/3/26

【특허청구범위】

【청구항 1】

다수의 레이저 퓨즈를 구비하는 퓨즈 뱅크에 있어서,
제 1방향으로 배치되는 제 1레이저 퓨징 영역을 구비하고 제 2방향으로 구부러진
제 1연결선 영역 및 제 3방향으로 구부러진 제 2연결선 영역을 구비하는 제 1레이저 퓨
즈; 및,

상기 제 1방향으로 배치되는 제 2레이저 퓨징 영역을 구비하고 상기 제 2방향으로
구부러진 제 3연결선 영역 및 상기 제 3방향으로 구부러진 제 4연결선 영역을 구비하는
제 2레이저 퓨즈를 구비하고,

상기 제 2레이저 퓨즈는 상기 제 1레이저 퓨즈와 소정의 간격을 두고 인접하여 배
치되고, 상기 제 1레이저 퓨징 영역과 상기 제 2레이저 퓨징 영역은 상기 퓨즈 뱅크의
레이저 퓨징 영역을 형성하고, 상기 제 1레이저 퓨즈 및 상기 제 2레이저 퓨즈는 평면적
으로 배치되는 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 2】

제 1항에 있어서, 상기 레이저 퓨징 영역은
평행사변형의 형태로 이루어진 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅
크.

【청구항 3】

제 1항에 있어서,



1020020050836

출력 일자: 2003/3/26

상기 제 1방향 및 상기 제 2방향은 수직이고, 상기 제 1방향 및 상기 제 3방향은 수직인 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 4】

제 3항에 있어서, 상기 제 2방향 및 상기 제 3방향은 서로 반대 방향인 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 5】

소정의 간격을 두고 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 1레이저 퓨즈 그룹; 및,

소정의 간격을 두고 상기 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 2레이저 퓨즈 그룹을 구비하고,

상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 각각 상기 제 1방향으로 배열된 레이저 퓨징 영역을 구비하고, 제 2방향으로 구부러진 1연결선 영역 및 제 3방향으로 구부러진 제 2연결선 영역을 구비하며,

상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 인접하여 평면적으로 배치되는 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 6】

제 5항에 있어서, 상기 레이저 퓨징 영역은 평행사변형의 형태로 이루어진 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.



1020020050836

출력 일자: 2003/3/26

【청구항 7】

제 5항에 있어서,

상기 제 1방향과 상기 제 2방향은 수직이고, 상기 제 1방향과 상기 제 3방향은 수직인 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 8】

제 7항에 있어서, 상기 제 2방향과 상기 제 3방향은

서로 반대방향인 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 9】

제 5항에 있어서,

상기 레이저 퓨즈 뱅크 내에서 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹이 서로 반복적으로 배치되는 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 10】

소정의 간격을 두고 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 1레이저 퓨즈 그룹; 및,

소정의 간격을 두고 상기 제 1방향으로 배열된 다수의 레이저 퓨즈들을 구비하는 제 2레이저 퓨즈 그룹을 구비하고,

상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 상기 제 1방향으로 배열된 레이저 퓨징 영역을 구비하고 제 2방향으로 구부려진 1연결선 영역 및 제 3방향으로 구부려진 제 2연결선 영역을 구비하며,



1020020050836

출력 일자: 2003/3/26

상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 인접하여 배치되고, 상기 제 2레이저 퓨즈 그룹은 상기 제 1레이저 퓨즈 그룹과 상기 제 1방향의 수직방향으로 대칭적으로 배치되며, 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹은 평면적으로 배치되는 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 11】

제 10항에 있어서, 상기 레이저 퓨징 영역은 평행사변형의 형태로 이루어진 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 12】

제 10항에 있어서, 상기 제 1방향과 상기 제 2방향은 수직이고, 상기 제 1방향과 상기 제 3방향은 수직인 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 13】

제 12항에 있어서, 상기 제 2방향과 상기 제 3방향은 서로 반대방향인 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.

【청구항 14】

제 10항에 있어서, 상기 레이저 퓨즈 뱅크 내에서 상기 제 1레이저 퓨즈 그룹 및 상기 제 2레이저 퓨즈 그룹이 서로 반복적으로 배치되는 것을 특징으로 하는 반도체 메모리 장치의 퓨즈 뱅크.



1020020050836

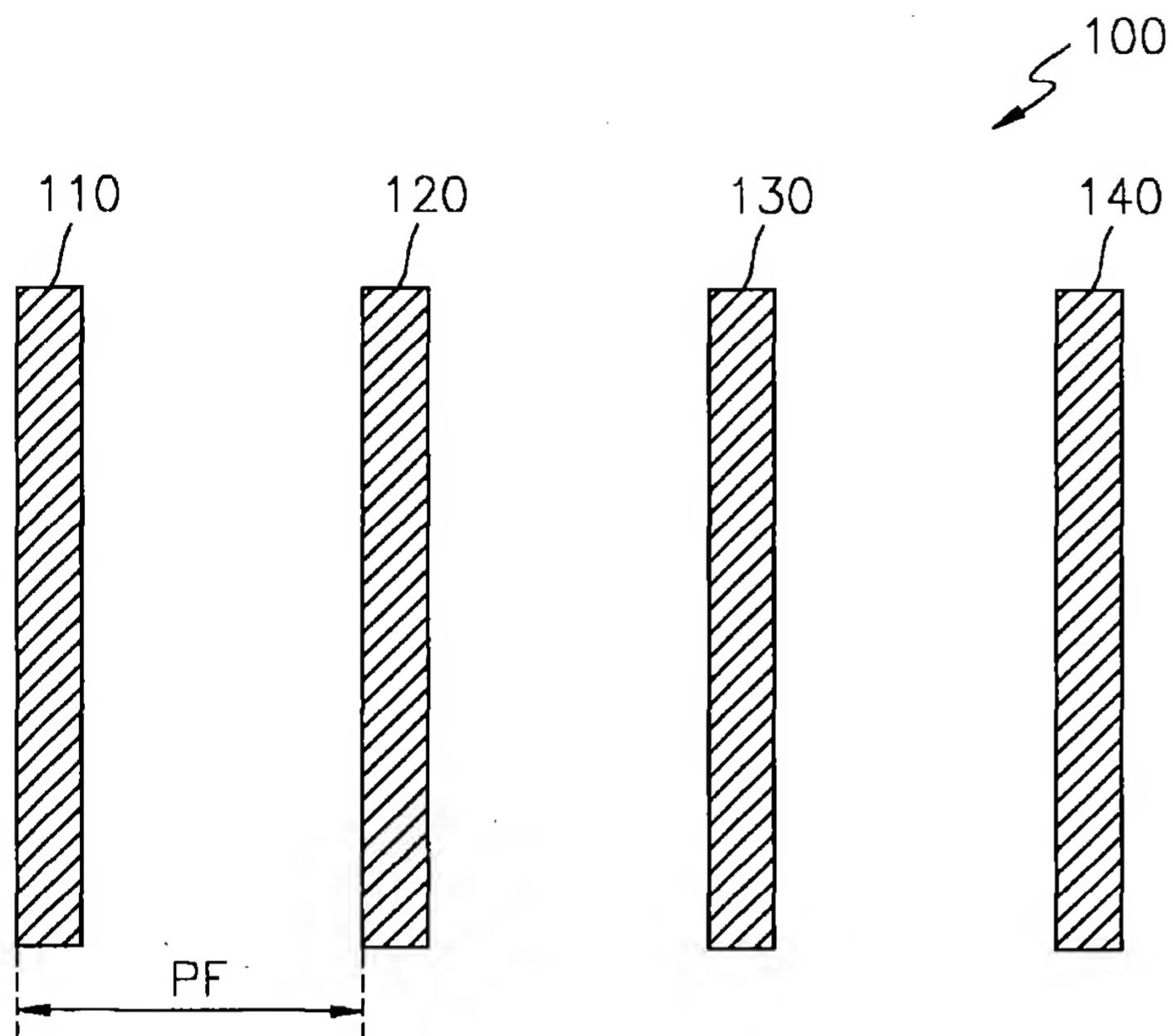
출력 일자: 2003/3/26

1020020050836

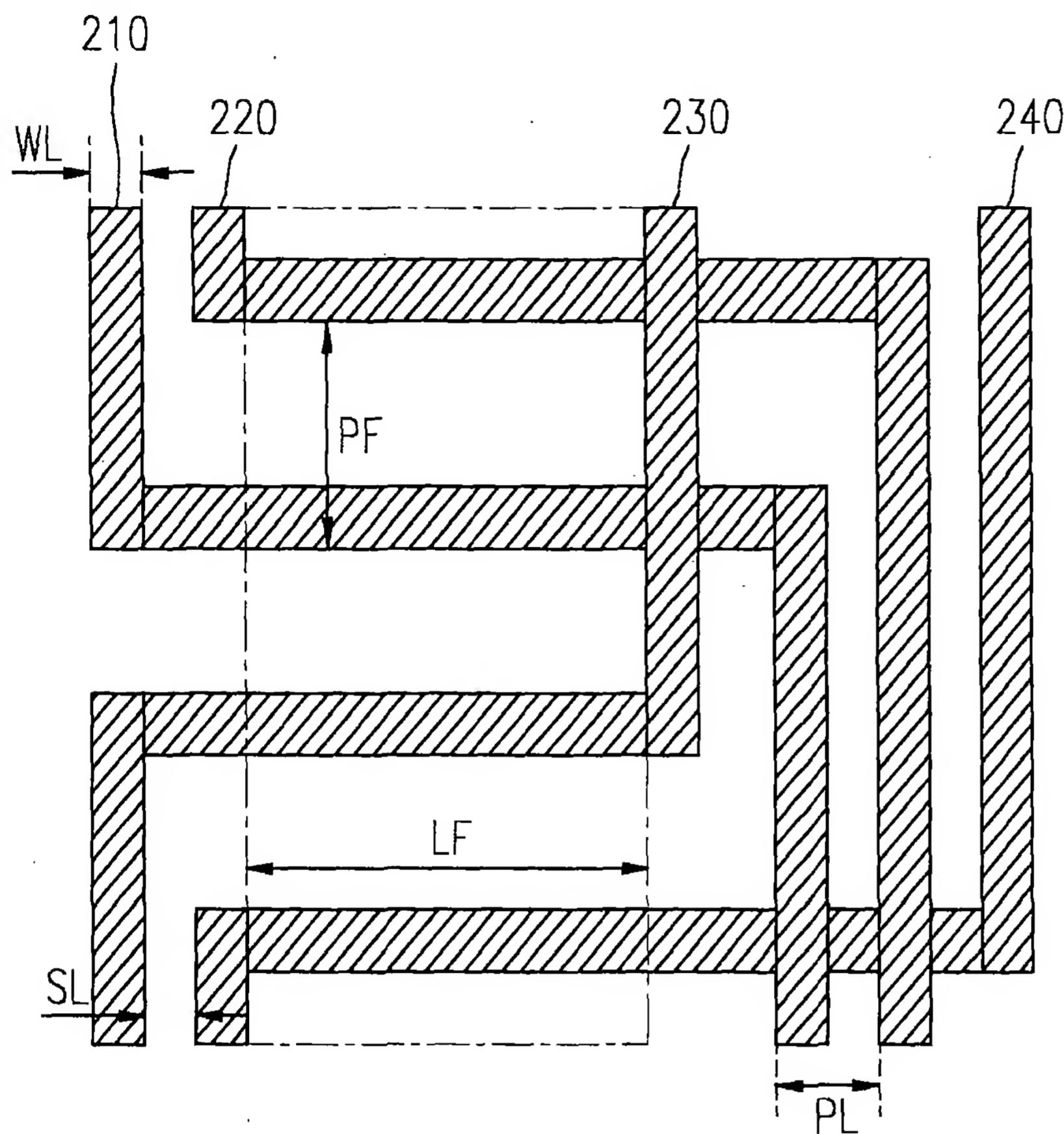
출력 일자: 2003/3/26

【도면】

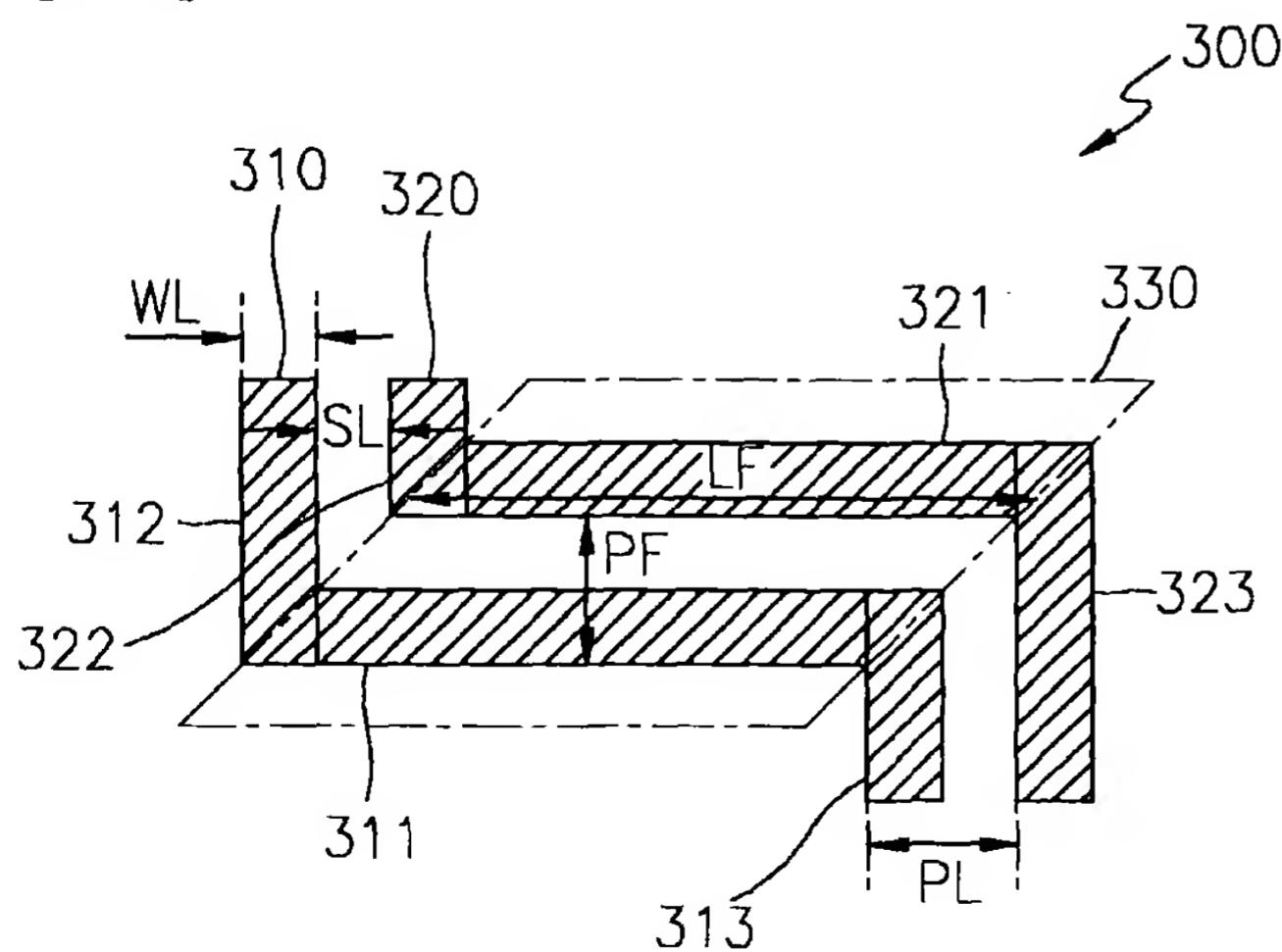
【도 1】



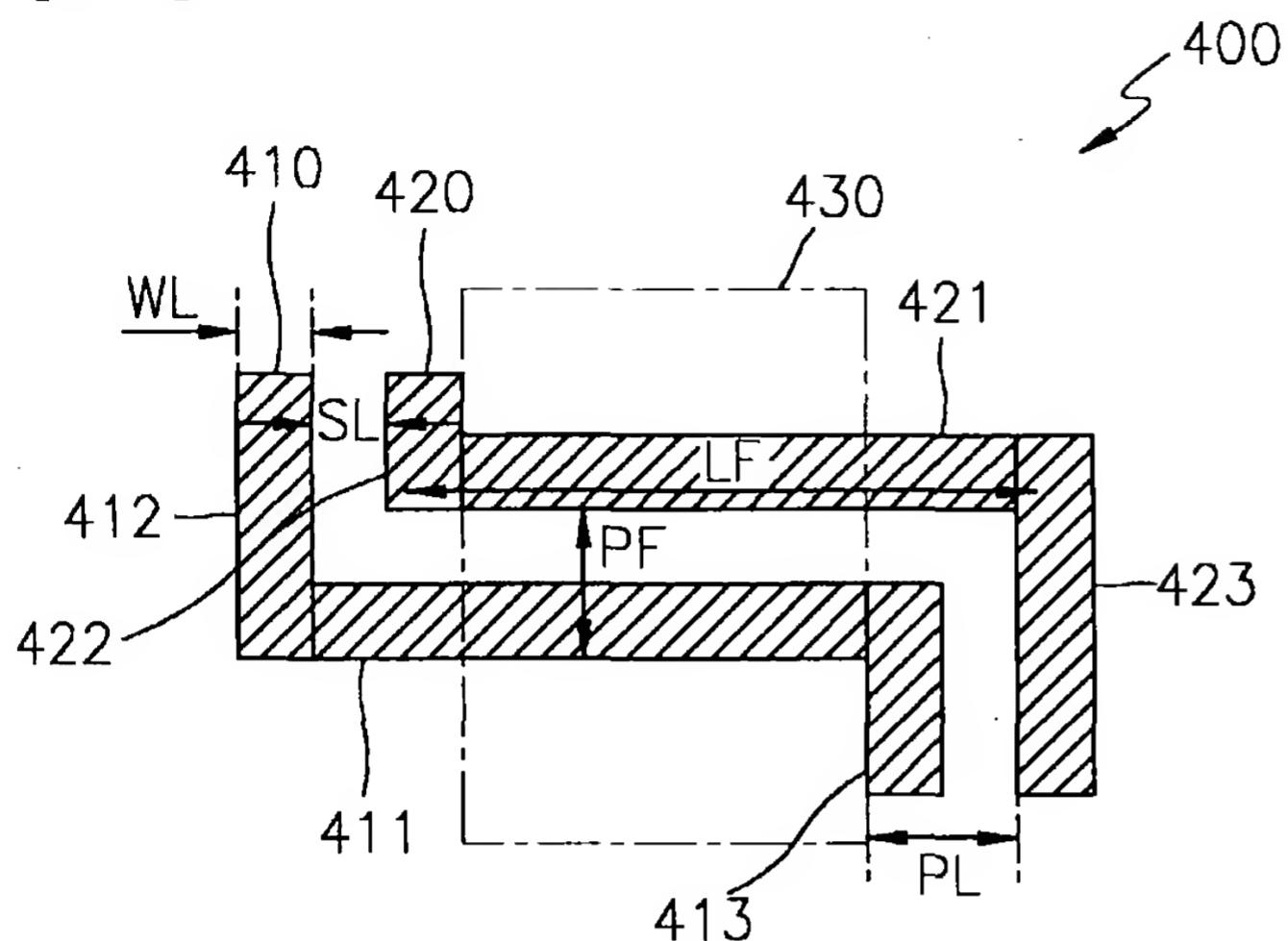
【도 2】



【도 3】



【도 4】



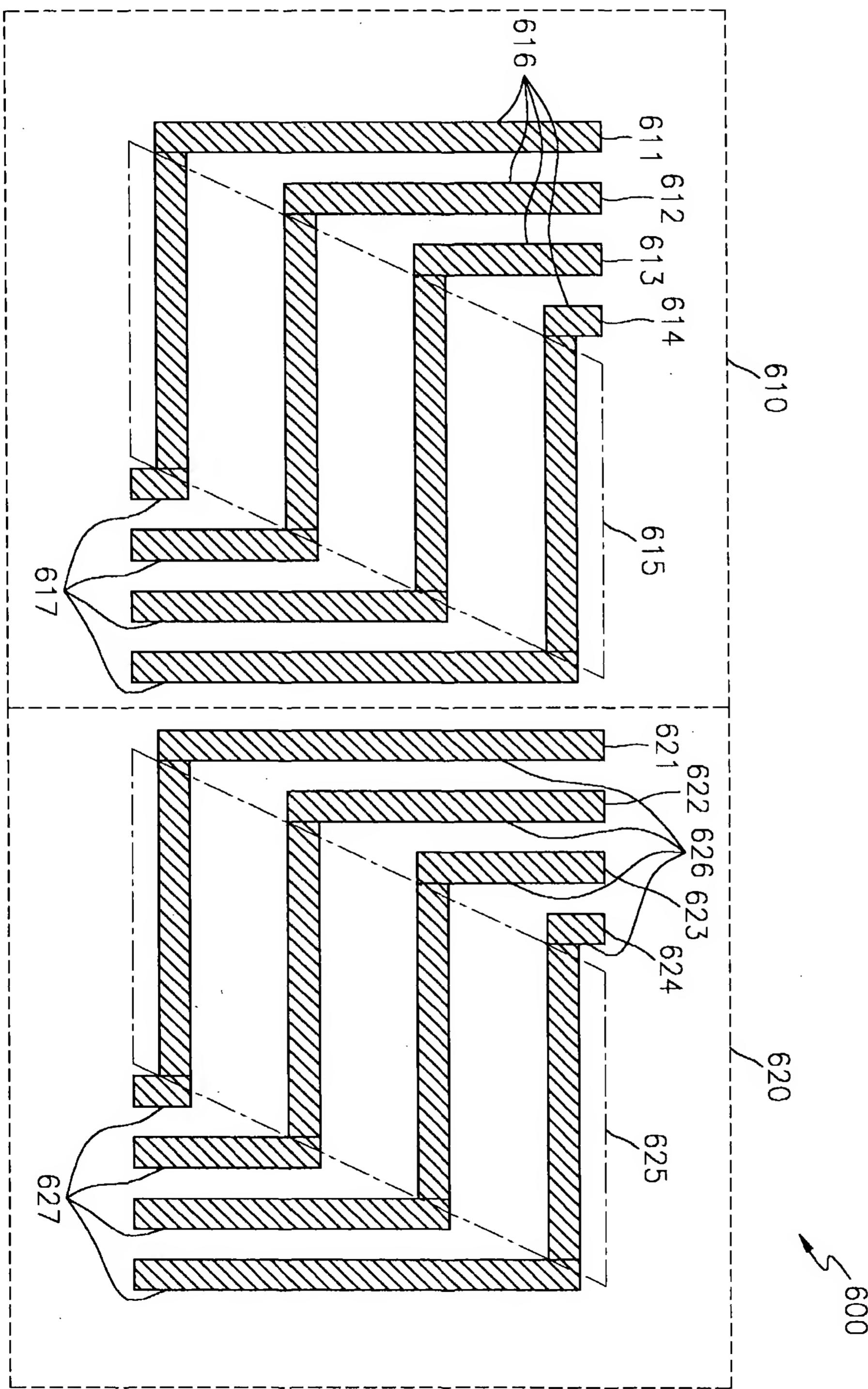
【도 5】

n	종래기술 2 (도 2) 측면 크기 (Lateral Size)		본 발명의 제 1 실시예에 따른 측면 크기 (Lateral Size)	
	식	크기	식	크기
2	LF+PL+2WL	$5.6 \mu\text{m}$	LF+PL+2WL	$5.6 \mu\text{m}$
4	LF+4PL+2WL	$8.0 \mu\text{m}$	LF+3PL+2WL	$7.2 \mu\text{m}$
6	LF+7PL+2WL	$10.4 \mu\text{m}$	LF+5PL+2WL	$8.8 \mu\text{m}$
$\text{LF}=4 \mu\text{m}, \text{WL}=0.4 \mu\text{m}, \text{PL}=2\text{WS}=0.8 \mu\text{m}$				

1020020050836

출 령 일 자: 2003/3/26

【도 6】



【도 7】

